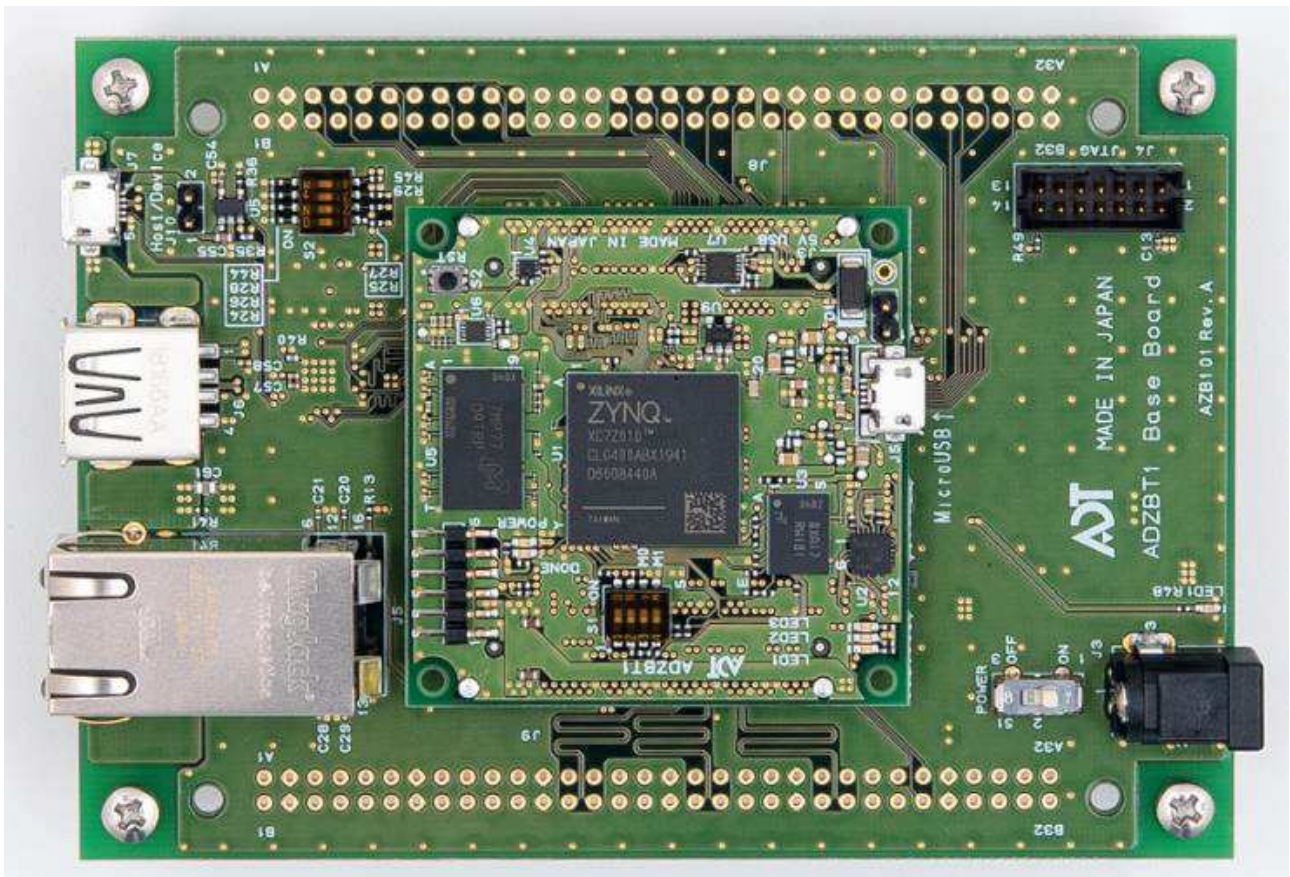


ADZBT1_{HP}

アズビットワン

Kilinx Zynq = ARM Cortex-A9 Processor + FPGA Original Board

BaseBoard



Hardware User Manual
Version 1.0

Revision History

| Version | Date | Comment |
|---------|-----------|---------|
| 1.0 | 2020/7/20 | 新規作成 |
| | | |
| | | |
| | | |
| | | |

目次

| | | |
|-----|-------------------------------|----|
| 1 | Overview..... | 4 |
| 2 | Block Diagram | 5 |
| 3 | 機能説明 | 6 |
| 3.1 | Power Supply..... | 6 |
| 3.2 | USB2.0 (OTG) | 8 |
| 3.3 | Ethernet..... | 9 |
| 3.4 | JTAG I/F..... | 11 |
| 3.5 | Zynq FPGA Configuration | 12 |
| 3.6 | User I/O..... | 14 |
| 4 | Appendix | 17 |

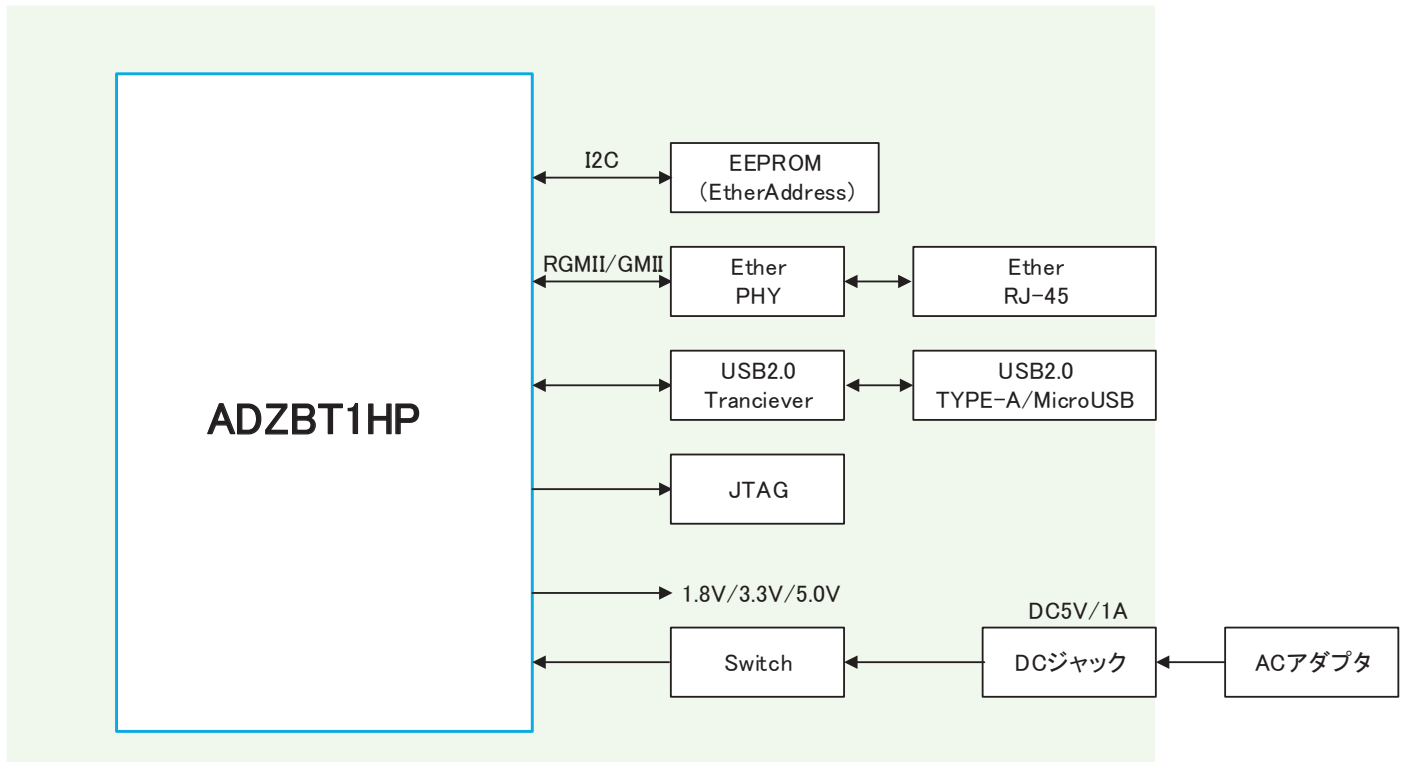
1 Overview

ADZBT1HP BaseBoard の仕様について記載します。

| | ADZBT1HP BaseBoard |
|---------------|--|
| USB2.0(OTG) | TYPE-A / Micro USB コネクタタイプの選択可能 |
| | Host / Device 対応可能 (Device として使用時は、MicroUSB 周辺の JP1 ジャンパを外す) |
| Gigabit Ether | RJ45 コネクタ 10/100/1000Mbps |
| EEPROM | Ether MAC アドレスの格納用 (32Kb) I2C アクセス |
| JTAG I/F | JTAG コネクタを実装 |
| USER I/O | 103 User I/O (PS 部 GPIO:8 本、PL 部 : 95 本) |
| 電源 | DC In : 5V、1A 以上推奨 AC アダプタの DC プラグ : 2.10mm 内径、5.50 外径 (PL03B) ※DC ジャック型番 : PJ-050AH (CUI Devices) |
| Board Size | 120.0mm x 83.0mm |
| 動作温度範囲 | -40~85℃ |

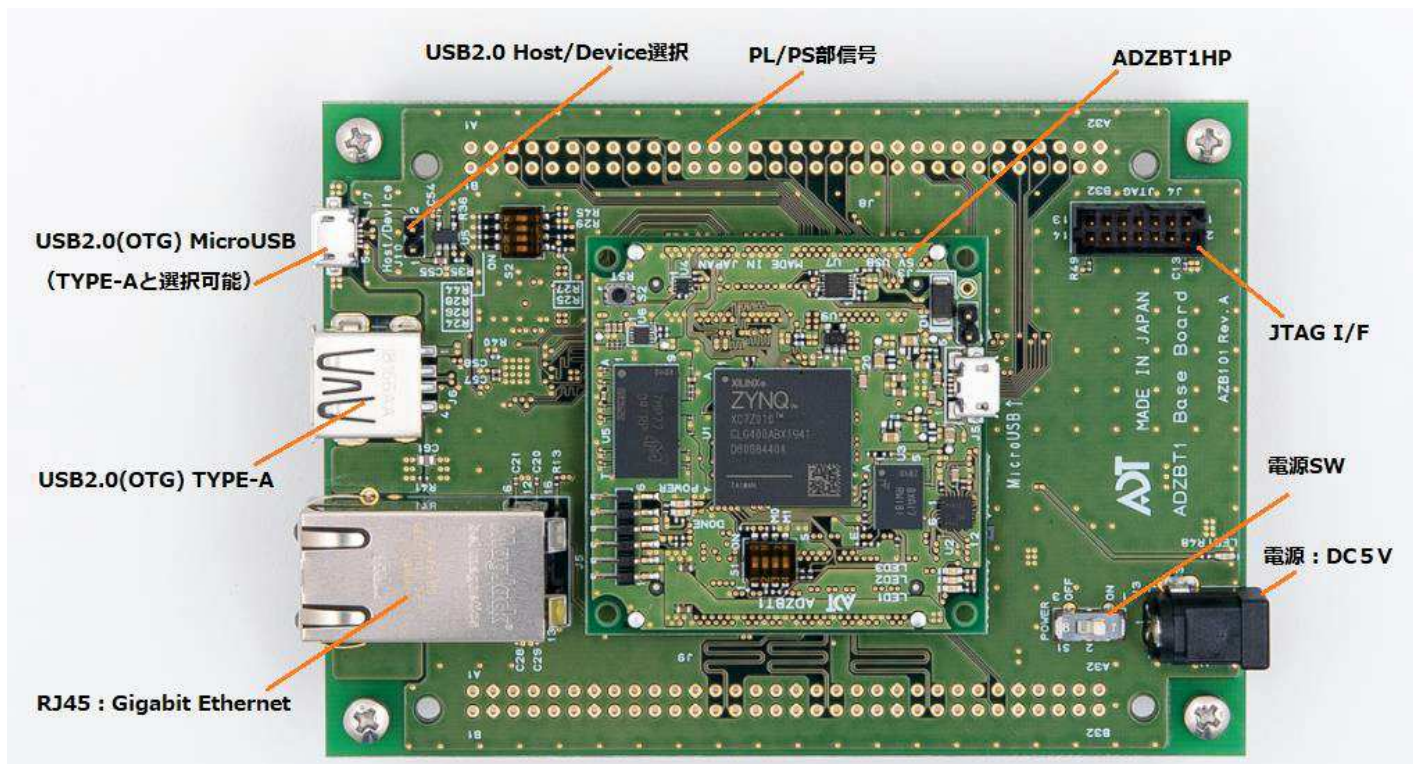
2 Block Diagram

ADZBT1HP BaseBoard のブロック構成を、以下に示します。



3 機能説明

ADZBT1HP BaseBoard の機能について、以下に説明します。



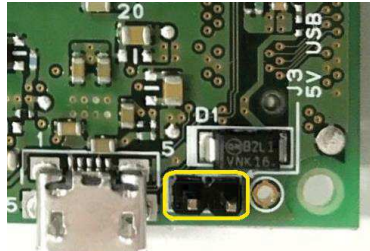
3.1 Power Supply

電源仕様：5V 入力、1A 以上推奨。
DC ジャック型番：PJ-050AH (CUI Devices)



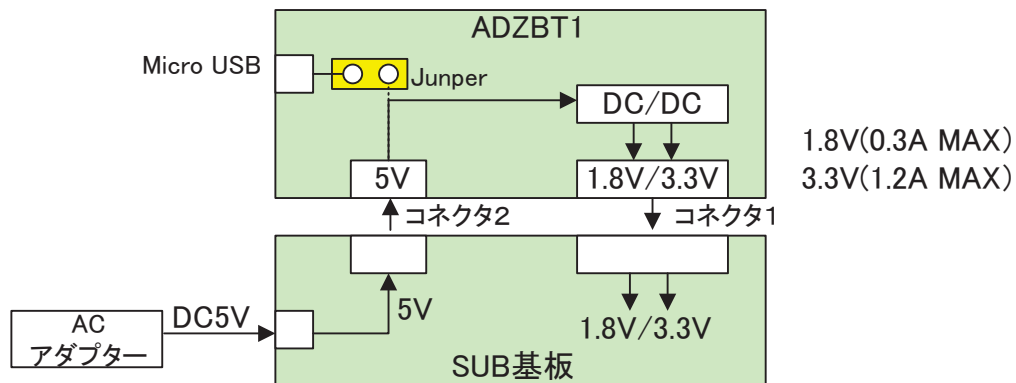
対応する AC アダプタ DC プラグ：2.10mm 内径、5.50 外径 (PL03B)

★注意：ADZBT1HP 本体に、コネクタ経由（SUB 基板等）5V 給電する場合
ADZBT1HP 本体のジャンパは未接続としてください。



ADZBT1HP 本体の上記のジャンパを未接続とすることで、MicroUSB からの電源供給を切り離します。

<電源の接続構成>

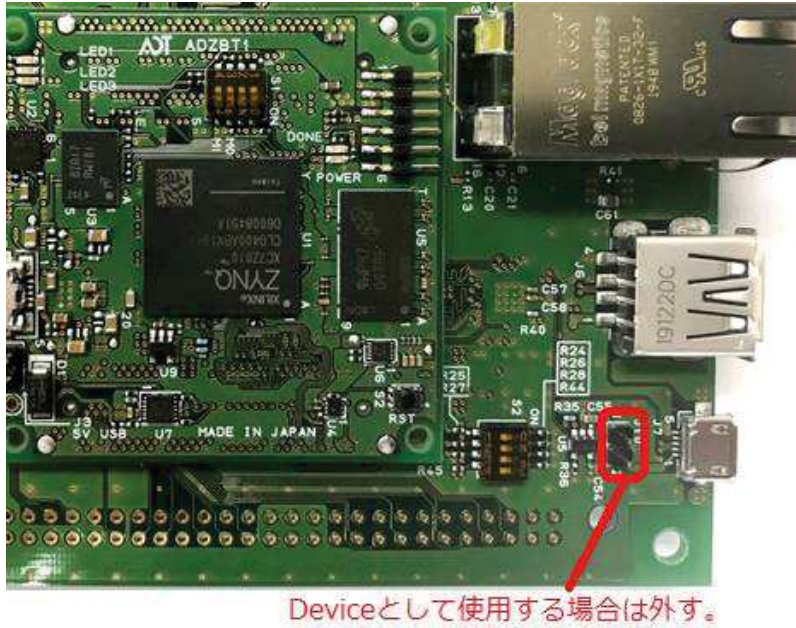


3.2 USB2.0 (OTG)

USB2.0 トランシーバは、USB3320 (Microchip 製) を使用しています。

USB Host として使用される場合には、JP1 (SNM-100-BK-T(Samtec)) を実装した状態でご使用ください。JP1 を外すと、ADZBT1&SUB 基板は、USB Device 側として使用することが可能となります。

また、コネクタは TYPE-A、MicroUSB を排他で使用可能です。



■FPGA Pin 配置 (USB に関する部分) :

| J1 コネクタ | | | J1 コネクタ | | |
|---------|--------|----------------------|---------|--------|----------------------|
| Pin 番号 | Pin 番号 | Port 名 | Pin 番号 | Pin 番号 | Port 名 |
| 11 | A10 | PS_MIO37 (OTG_data5) | 12 | A12 | PS_MIO34 (OTG_data2) |
| 13 | A11 | PS_MIO36 (OTG_clk) | 14 | B13 | PS_MIO50 |
| 15 | — | GND | 16 | — | GND |
| 17 | B9 | PS_MIO51 | 18 | A14 | PS_MIO32 (OTG_data0) |
| 19 | C18 | PS_MIO39 (OTG_data7) | 20 | C16 | PS_MIO20 (OTG_data4) |
| 21 | — | GND | 22 | — | GND |
| 23 | F12 | PS_MIO35 (OTG_data3) | 24 | E16 | PS_MIO31 (OTG_nxt) |
| 25 | C15 | PS_MIO30 (OTG_stp) | 26 | C13 | PS_MIO29 (OTG_dir) |
| 27 | D15 | PS_MIO33 (OTG_data1) | 28 | — | GND |
| 29 | D16 | PS_MIO46 (OTG_Reset) | 30 | E13 | PS_MIO38 (OTG_data6) |

3.3 Ethernet

Ethernet PHY は、KSZ9031RNX (Microchip 製) を使用しています。

RJ45 には LED が 2 つ実装されており、PHY の LED1 により YELLOW、LED2 により GREEN 制御できるようにしています。



PHY AD0/1/2 は、DIPSW により設定可能です。



ON= "Low"
OFF= "High"

EEPROM を実装しており、PHY ADDRESS の格納・取得も可能としています。
EEPROM : 24LC32 (Microchip 製) 容量 : 32kb

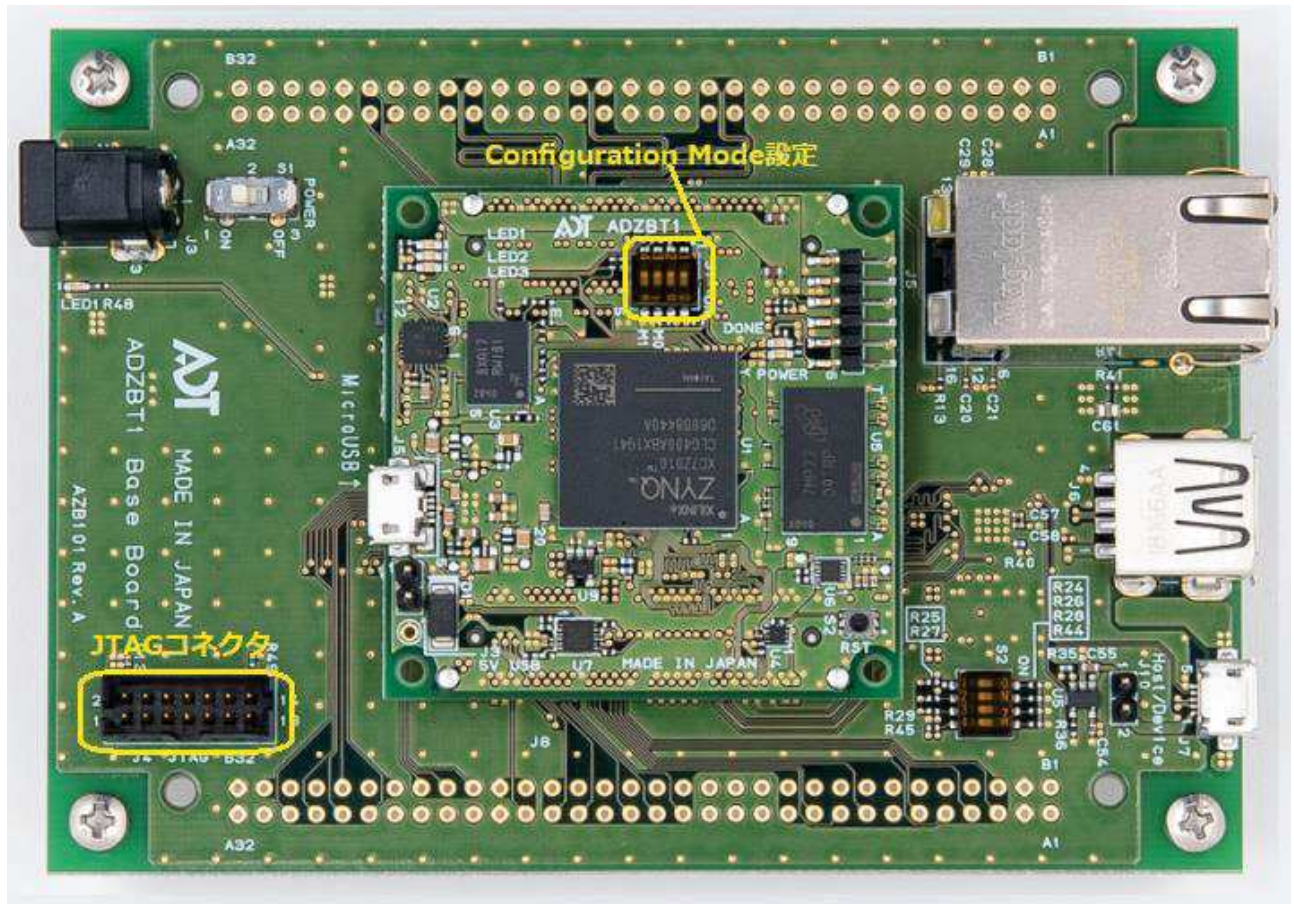
| FPGA Pin 番号 | FPGA Pin 名 | EEPROM |
|-------------|--------------|--------|
| T11 | IO_L1P_T0_34 | SDA |
| T10 | IO_L1N_T0_34 | SCL |

■FPGA Pin 配置 (Ether に関する部分) :

| J1 コネクタ | | | FPGA | | | J1 コネクタ | | | FPGA | | |
|------------|--------|--------------------------|--------|--------|--------------------------|------------|--------|-----------------------|--------|--------|-----------------------|
| Pin 番号 | Pin 番号 | Port 名 | Pin 番号 | Pin 番号 | Port 名 | Pin 番号 | Pin 番号 | Port 名 | Pin 番号 | Pin 番号 | Port 名 |
| 13 | A11 | PS_MIO36 | 14 | B13 | PS_MIO50 (ETH Interrupt) | 15 | — | GND | 16 | — | GND |
| 17 | B9 | PS_MIO51 (ETH PHY Reset) | 18 | A14 | PS_MIO32 | | | | | | |
| 31 | C11 | PS_MIO53 (ETH mdio) | 32 | C10 | PS_MIO52 (ETH mdc) | 33 | D11 | PS_MIO23 (ETH rxd0) | 34 | D10 | PS_MIO19 ((ETH txd2) |
| 35 | — | GND | 36 | — | GND | 37 | D13 | PS_MIO27 (ETH rx_ctl) | 38 | A17 | PS_MIO20 (ETH txd3) |
| 39 | — | GND | 40 | — | GND | 41 | A15 | PS_MIO26 (ETH rxd3) | 42 | B18 | PS_MIO18 (ETH txd1) |
| 43 | — | GND | 44 | — | GND | 45 | A16 | PS_MIO24 (ETH rxd1) | 46 | E14 | PS_MIO17 (ETH txd0) |
| 47 | — | GND | 48 | — | GND | 49 | F15 | PS_MIO25 (ETH rxd2) | 50 | F14 | PS_MIO21 (ETH tx_ctl) |
| 51 | B17 | PS_MIO22 (ETH rx_clk) | 52 | A19 | PS_MIO16 (EH tx_clk) | | | | | | |

3.4 JTAG I/F

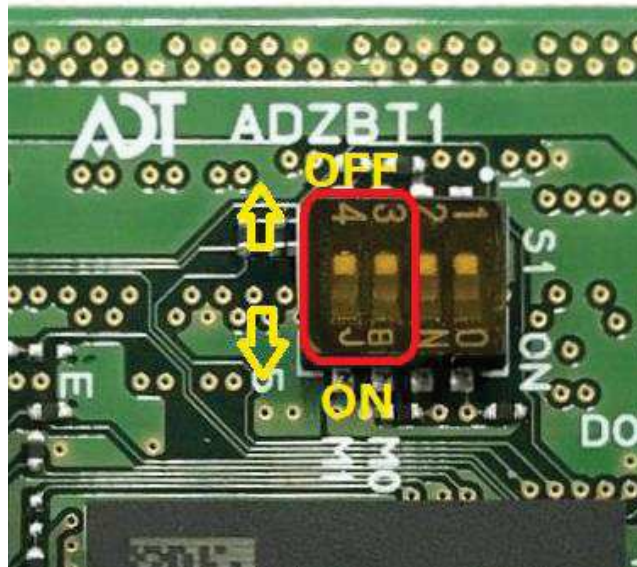
JTAG I/F は、ADZBT1 単体でも実装するが、SUB 基板には JTAG コネクタを実装する。



Configuration Mode 設定については、次章に記す。

3.5 Zynq FPGA Configuration

ADZBT1 Zynq FPGA の Configuration は、QSPI/JTAG/SDCard の 3 つの Boot Mode から選択できます。Mode の切り替えは、ADZBT1 基板の、DIP_SW3 (M0)、DIP_SW4 (M1) により切り替えます。



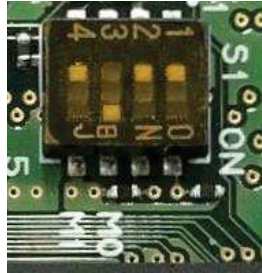
ADZBT1 基板上にある、DIP SW の設定表を以下に示します。

| 設定 Mode | DIP SW4 (M1) | DIP SW3 (M0) |
|--------------|--------------|--------------|
| QSPI Mode | OFF | OFF |
| JTAG Mode | OFF | ON |
| SD Card Mode | ON | OFF |

■JTAG Mode

Xilinx SDK を使用してソフトウェアのデバッグ 及び、 Xilinx Vivado を使用してハードウェアの FPGA の内部信号をモニタしてデバッグすることができます。

また、QSPI Boot Mode で使用する際に、QSPI への書き込み時に JTAG Mode を使用します。

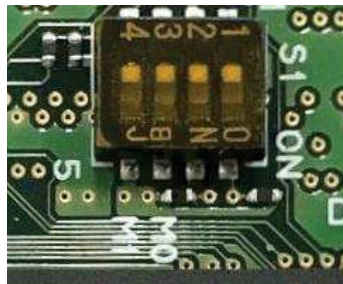


JTAG Mode の設定

■QSPI Boot Mode

ADZBT1 には、Quad-SPI Serial Flash を実装しています。

ボードの電源起動後に、QSPI に保存されているイメージを読み込んで、起動することができます。



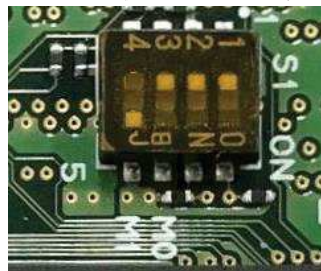
QSPI Boot Mode の設定

手順例：

- 1) DIP_SW3=ON にして、JTAG Mode にします。
- 2) ボードの電源を接続します。
- 3) Xilinx JTAG ダウンロードケーブルから、Xilinx SDK を使って QSPI に書き込みます。
- 4) 書き込み後、DIP_SW3=OFF にして、QSPI Mode にします
- 5) ボードの電源を OFF します。
- 6) 再度電源を ON すると、QSPI に格納されているイメージが読み出されて、FPGA にコンフィグレーションが行われます。

■SD_Card Boot Mode

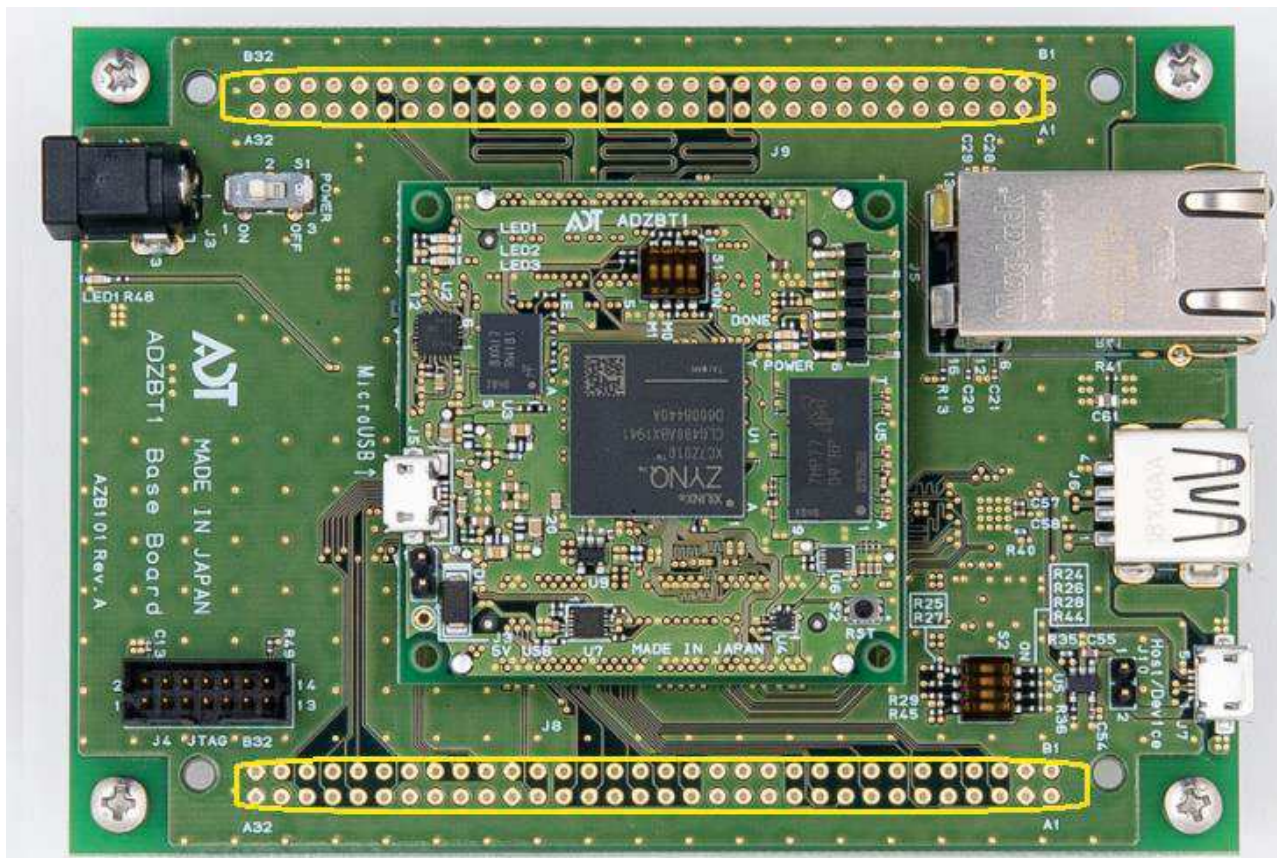
SD Card に格納されている Boot 用データを使って Boot することができます。



SD Card Boot Mode の設定

3.6 User I/O

User I/O として、J8,J9 の配置に実装します。
3.3V 信号になります。



Pin アサインを以下に示します。

■ J8 :

| J8 A 列 | Pin 番号 | FPGA Port 名 | J8 B 列 | Pin 番号 | FPGA Port 名 |
|-----------|-----------|----------------|-----------|-----------|-------------------------|
| 1 | — | +3.3V | 1 | — | +3.3V |
| 2 | — | GND | 2 | — | GND |
| 3 | C8 | PS_MIO15 | 3 | C5 | PS_MIO14 |
| 4 | E8 | PS_MIO13 | 4 | D9 | PS_MIO12 |
| 5 | C6 | PS_MIO11 | 5 | E9 | PS_MIO10 |
| 6 | B5 | PS_MIO9 | 6 | D5 | PS_MIO8 |
| 7 | | open | 7 | T11 | IO_L1P_T0_34 |
| 8 | E6 | PS_MIO0 | 8 | T10 | IO_L1N_T0_34 |
| 9 | T12 | IO_L2P_T0_34 | 9 | U13 | IO_L3P_T0_DQS_PUDC_B_34 |
| 10 | U12 | IO_L2N_T0_34 | 10 | V13 | IO_L3N_T0_DQS_34 |
| 11 | V12 | IO_L4P_T0_34 | 11 | T14 | IO_L5P_T0_34 |
| 12 | W13 | IO_L4N_T0_34 | 12 | T15 | IO_L5N_T0_34 |

| | | | | | |
|----|-----|--------------------|----|-----|--------------------|
| 13 | P14 | IO_L6P_T0_34 | 13 | Y16 | IO_L7P_T1_34 |
| 14 | R14 | IO_L6N_T0_VREF_34 | 14 | Y17 | IO_L7N_T1_34 |
| 15 | W14 | IO_L8P_T1_34 | 15 | T16 | IO_L9P_T1_DQS_34 |
| 16 | Y14 | IO_L8N_T1_34 | 16 | U17 | IO_L9N_T1_DQS_34 |
| 17 | V15 | IO_L10P_T1_34 | 17 | U14 | IO_L11P_T1_SRCC_34 |
| 18 | W15 | IO_L10N_T1_34 | 18 | U15 | IO_L11N_T1_SRCC_34 |
| 19 | N18 | IO_L13P_T2_MRCC_34 | 19 | N20 | IO_L14P_T2_SRCC_34 |
| 20 | P19 | IO_L13N_T2_MRCC_34 | 20 | P20 | IO_L14N_T2_SRCC_34 |
| 21 | U19 | IO_L12N_T1_MRCC_34 | 21 | R19 | IO_0_34 |
| 22 | — | GND | 22 | — | GND |
| 23 | T20 | IO_L15P_T2_DQS_34 | 23 | V20 | IO_L16P_T2_34 |
| 24 | U20 | IO_L15N_T2_DQS_34 | 24 | W20 | IO_L16N_T2_34 |
| 25 | Y18 | IO_L17P_T2_34 | 25 | V16 | IO_L18P_T2_34 |
| 26 | Y19 | IO_L17N_T2_34 | 26 | W16 | IO_L18N_T2_34 |
| 27 | R16 | IO_L19P_T3_34 | 27 | T17 | IO_L20P_T3_34 |
| 28 | R17 | IO_L19N_T3_VREF_34 | 28 | R18 | IO_L20N_T3_34 |
| 29 | V17 | IO_L21P_T3_DQS_34 | 29 | W18 | IO_L22P_T3_34 |
| 30 | V18 | IO_L21N_T3_DQS_34 | 30 | W19 | IO_L22N_T3_34 |
| 31 | — | +1.8V | 31 | — | +1.8V |
| 32 | — | GND | 32 | — | GND |

■ J9 :

| J9 | | | J9 | | |
|-----|-----------|-------------------------|-----|-----------|-------------------------|
| A 列 | Pin 番号 | FPGA Port 名 | B 列 | Pin 番号 | FPGA Port 名 |
| 1 | — | +5V | 1 | — | +5V |
| 2 | — | GND | 2 | — | GND |
| 3 | C20 | IO_L1P_T0_AD0P_35 | 3 | B19 | IO_L2P_T0_AD8P_35 |
| 4 | B20 | IO_L1N_T0_AD0N_35 | 4 | A20 | IO_L2N_T0_AD8N_35 |
| 5 | E17 | IO_L3P_T0_DQS_AD1P_35 | 5 | D19 | IO_L4P_T0_35 |
| 6 | D18 | IO_L3N_T0_DQS_AD1N_35 | 6 | D20 | IO_L4N_T0_35 |
| 7 | — | GND | 7 | — | GND |
| 8 | E18 | IO_L5P_T0_AD9P_35 | 8 | F16 | IO_L6P_T0_35 |
| 9 | E19 | IO_L5N_T0_AD9N_35 | 9 | F17 | IO_L6N_T0_VREF_35 |
| 10 | M19 | IO_L7P_T1_AD2P_35 | 10 | M17 | IO_L8P_T1_AD10P_35 |
| 11 | M20 | IO_L7N_T1_AD2N_35 | 11 | M18 | IO_L8N_T1_AD10N_35 |
| 12 | — | GND | 12 | — | GND |
| 13 | L19 | IO_L9P_T1_DQS_AD3P_35 | 13 | K19 | IO_L10P_T1_AD11P_35 |
| 14 | L20 | IO_L9N_T1_DQS_AD3N_35 | 14 | J19 | IO_L10N_T1_AD11N_35 |
| 15 | L16 | IO_L11P_T1_SRCC_35 | 15 | K17 | IO_L12P_T1_MRCC_35 |
| 16 | L17 | IO_L11N_T1_SRCC_35 | 16 | K18 | IO_L12N_T1_MRCC_35 |
| 17 | — | GND | 17 | — | GND |
| 18 | H16 | IO_L13P_T2_MRCC_35 | 18 | J18 | IO_L14P_T2_AD4P_SRCC_35 |
| 19 | H17 | IO_L13N_T2_MRCC_35 | 19 | H18 | IO_L14N_T2_AD4N_SRCC_35 |
| 20 | F19 | IO_L15P_T2_DQS_AD12P_35 | 20 | G17 | IO_L16P_T2_35 |
| 21 | F20 | IO_L15N_T2_DQS_AD12N_35 | 21 | G18 | IO_L16N_T2_35 |
| 22 | — | GND | 22 | — | GND |
| 23 | J20 | IO_L17P_T2_AD5P_35 | 23 | G19 | IO_L18P_T2_AD13P_35 |

| | | | | | |
|----|-----|-------------------------|----|-----|---------------------|
| 24 | H20 | IO_L17N_T2_AD5N_35 | 24 | G20 | IO_L18N_T2_AD13N_35 |
| 25 | H15 | IO_L19P_T3_35 | 25 | K14 | IO_L20P_T3_AD6P_35 |
| 26 | G15 | IO_L19N_T3_VREF_35 | 26 | J14 | IO_L20N_T3_AD6N_35 |
| 27 | G14 | IO_0_35 | 27 | J15 | IO_25_35 |
| 28 | — | GND | 28 | — | GND |
| 29 | N15 | IO_L21P_T3_DQS_AD14P_35 | 29 | L14 | IO_L22P_T3_AD7P_35 |
| 30 | N16 | IO_L21N_T3_DQS_AD14N_35 | 30 | L15 | IO_L22N_T3_AD7N_35 |
| 31 | M14 | IO_L23P_T3_35 | 31 | K16 | IO_L24P_T3_AD15P_35 |
| 32 | M15 | IO_L23N_T3_35 | 32 | J16 | IO_L24N_T3_AD15N_35 |

4 Appendix

ADZBT1 出荷時には、出荷検査用の ROM データが書き込まれており、LED 点滅する状態となっております。使用時に QSPI Flash への書き込み、又は、SD Card に ROM データを格納してご使用ください。

ADZBT1 を用いた開発にあたり、サンプルデザインを提供しております。テスト用のサンプルデザインとなりますので、製品に転用される場合には、ユーザー様の責任においてご利用下さいますようお願い致します。

- ボードファイル : adzbt1-400p.zip
- サンプルデザイン
 - (1) プロジェクトファイル : ADZBT1_400p_Ref.xpr.zip
 - (2) bsp : adzbt1_400p_ref.bsp
 - (3) ROM データ : BOOT.BIN
image.ub
system.dtb
zynq_fsbl.elf
 - (4) RootFileSystem : ubuntu18.04LTS_RootFS.tar.gz

【開発環境】

- Vivado 2018.2
- Petalinux 2018.2
- Ubuntu 16.04 LTS

— 以上 —